



REC'D 31 JAN 2005	
WIPO	PCT

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 15 DEC. 2004

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

**BEST AVAILABLE COPY**

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint-Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr

COPIE OFFICIELLE

-----



INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

15, rue de Saint Pétersbourg - 75800 Paris Cedex 08

vous informer : INPI DIRECT

N° Indigo 0 825 83 85 87

0,15 € TTC/min

copie : 33 (0)1 53 04 52 65

Réservé à l'INPI

MISE DES PIÈCES

TE

U

18 DEC 2003

75 INPI PARIS 34 SP

D'ENREGISTREMENT

0314921

ATIONAL ATTRIBUÉ PAR L'INPI

TE DE DÉPÔT ATTRIBUÉE

18 DEC. 2003

R L'INPI

os références pour ce dossier

(facultatif) BLO/FC-BFF030432

Confirmation d'un dépôt par télécopie

☐ N° attribué par l'INPI à la télécopie

1 NATURE DE LA DEMANDE

Cochez l'une des 4 cases suivantes

Demande de brevet

☒

Demande de certificat d'utilité

☐

Demande divisionnaire

☐

Demande de brevet initiale

N°

Date

ou demande de certificat d'utilité initiale

N°

Date

Transformation d'une demande de  
brevet européen Demande de brevet initiale

☐

N°

Date

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

BOUCLE A ASSERVISSEMENT DE PHASE

4 DÉCLARATION DE PRIORITÉ  
OU REQUÊTE DU BÉNÉFICE DE  
LA DATE DE DÉPÔT D'UNE  
DEMANDE ANTÉRIEURE FRANÇAISE

Pays ou organisation

Date

N°

Pays ou organisation

Date

N°

Pays ou organisation

Date

N°

☐ S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»

5 DEMANDEUR (Cochez l'une des 2 cases)

☒ Personne morale ☐ Personne physique

Nom  
ou dénomination sociale

Prénoms

Forme juridique

N° SIREN

Code APE-NAF

Domicile  
ou  
siège

Rue

Code postal et ville

Pays

Nationalité

N° de téléphone (facultatif)

Adresse électronique (facultatif)

EADS TELECOM

Société par Actions Simplifiée

414848986

Rue Jean-Pierre Timbaud Batiment Jean-Pierre Timbaud 78180 MONTIGNY LE  
BRETONNEUX

FRANCE

Française

N° de télécopie (facultatif)

☐ S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354\*03

REQUÊTE EN DÉLIVRANCE

page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 @ W / 030103

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

CABINET PLASSERAUD

65/67 rue de la Victoire  
75440 PARIS CEDEX 09

REMISE DES PIÈCES DATE <b>18 DEC 2003</b> LIEU <b>75 INPI PARIS 34 SP</b> N° D'ENREGISTREMENT <b>0314921</b> NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	
<b>6 MANDATAIRE (s'il y a lieu)</b> Nom _____ Prénom _____ Cabinet ou Société _____ N° de pouvoir permanent et/ou de lien contractuel _____ Adresse Rue _____ Code postal et ville _____ Pays _____ N° de téléphone (facultatif) _____ N° de télécopie (facultatif) _____ Adresse électronique (facultatif) _____		<b>BLO/FC-BFF030432</b> Cabinet PLASSERAUD <b>65/67 rue de la Victoire</b> <b>75440 PARIS CEDEX 09</b>	
<b>7 INVENTEUR (S)</b> Les demandeurs et les inventeurs sont les mêmes personnes		<b>Les inventeurs sont nécessairement des personnes physiques</b> <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
<b>8 RAPPORT DE RECHERCHE</b> Établissement immédiat ou établissement différé		<b>Uniquement pour une demande de brevet (y compris division et transformation)</b> <input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance (en deux versements)		<b>Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt</b> <input type="checkbox"/> Oui <input type="checkbox"/> Non	
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		<b>Uniquement pour les personnes physiques</b> <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence): AG _____	
<b>10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS</b> Le support électronique de données est joint La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences <input type="checkbox"/>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
<b>1 SIGNATURE DU DEMANDEUR</b> Bertrand LOISEL OU DU MANDATAIRE CPI n° 940311 (Nom et qualité du signataire)		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>	



<b>Vos références pour ce dossier (facultatif)</b>		
<b>N° D'ENREGISTREMENT NATIONAL</b>		03 14921
<b>TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>		
BOUCLE A ASSERVISSEMENT DE PHASE		
<b>LE(S) DEMANDEUR(S) :</b>		
EADS TELECOM		
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b>		
<b>1</b>	Nom	
	Prénoms	ROBBE Michel
Adresse	Rue	36bis rue du Maréchal Maunoury
	Code postal et ville	78700 CONFLANS SAINTE HONORINE, FRANCE
Société d'appartenance (facultatif)		
<b>2</b>	Nom	
	Prénoms	AISSA Sami
Adresse	Rue	11 rue Cels
	Code postal et ville	75014 PARIS, FRANCE
Société d'appartenance (facultatif)		
<b>3</b>	Nom	
	Prénoms	
Adresse	Rue	
	Code postal et ville	
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
<b>DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)</b>		Le 5 janvier 2004  <b>CABINET PLASSERAUD</b>  Bertrand LOISEL  CPI n° 940311

## BOUCLE A ASSERVISSEMENT DE PHASE

La présente invention concerne les boucles à asservissement de phase (PLL, "Phase-Locked Loop"), particulièrement dans leur application à la modulation de phase ou de fréquence.

5 Une PLL comprend classiquement un oscillateur commandé en tension (VCO, "Voltage-Controlled Oscillator") délivrant un signal à haute fréquence, un diviseur de fréquence convertissant le signal à haute fréquence en un signal à fréquence divisée, un comparateur de phase produisant un signal de mesure d'un écart de phase entre le signal à fréquence divisée et un signal de  
10 référence, et un filtre passe-bas auquel est appliqué le signal de mesure et dont la sortie commande le VCO.

Dans l'application à la modulation, on introduit des variations instantanées du facteur de division appliqué par le diviseur de fréquence afin d'obtenir des variations correspondantes de la fréquence ou de la phase du  
15 signal de sortie du VCO.

Le comparateur de phase peut être construit pour activer le signal de mesure pendant une fenêtre de mesure en réponse à chaque front actif de l'un des signaux d'entrée du comparateur de phase. L'activation du signal de mesure comprend, lorsqu'un front actif de l'autre signal d'entrée du  
20 comparateur de phase, éventuellement retardé d'un temps déterminé, tombe à l'intérieur de la fenêtre de mesure, une première impulsion entre le début de la fenêtre de mesure et ce front actif et une seconde impulsion opposée à la première impulsion entre le front actif et la fin de la fenêtre de mesure. Une dérive en phase de la boucle par rapport à son point de fonctionnement se  
25 traduit par un déséquilibre entre les deux impulsions, que le filtre passe-bas intègre pour opérer une compensation à l'entrée de commande du VCO.

Un exemple d'un tel comparateur de phase est décrit dans EP-B-0 835 550. Ce comparateur a pour avantage de ne pas présenter ce qu'on appelle une zone morte. Dans les comparateurs de phase ordinaires, la  
30 zone morte résulte des temps de réponse non nuls des portes logiques du

comparateur: les déphasages plus petits que ces temps de réponse ne sont pas détectés, de sorte que la réponse du comparateur présente une plage de pente nulle (zone morte) au voisinage de l'origine. Une telle zone morte affecte la précision de la PLL et l'empêche pratiquement d'être utilisée comme  
5 modulateur de phase ou de fréquence.

Le comparateur de phase sans zone morte décrit dans EP-B-0 835 550 a aussi pour avantage de présenter une réponse de pente double autour de son point de fonctionnement nominal, ce qui lui confère une excellente sensibilité pour l'application à la modulation.

10 Dans ce comparateur, la durée de la fenêtre de mesure varie en fonction du déphasage mesuré, et elle dépend de retards introduits par des éléments capacitifs et résistifs du comparateur de phase. Il en résulte la présence de bruit dans la sortie du comparateur et donc d'un bruit de phase dans la sortie du VCO.

15 Un but de la présente invention est d'améliorer les performances de ce genre de PLL pour permettre notamment de réaliser des modulateurs de grande qualité.

L'invention propose ainsi une boucle à asservissement de phase, comprenant un oscillateur commandé pour délivrer un signal à haute  
20 fréquence, un diviseur de fréquence pour convertir le signal à haute fréquence en un signal à fréquence divisée, un comparateur de phase pour recevoir le signal à fréquence divisée et un signal de référence et produire un signal de mesure d'un écart de phase entre le signal à fréquence divisée et le signal de référence, et un filtre passe-bas pour commander l'oscillateur à partir du signal  
25 de mesure. Selon l'invention, la boucle comprend en outre des moyens pour générer une fenêtre de mesure, de durée définie par comptage de cycles du signal à haute fréquence, en réponse à chaque front actif du signal à fréquence divisée. Le comparateur de phase est construit pour activer le signal de mesure pendant la fenêtre de mesure en réponse à chaque front actif du signal à  
30 fréquence divisée, de façon que le signal de mesure comprenne, lorsqu'un front actif du signal de référence tombe à l'intérieur de la fenêtre de mesure,

une première impulsion entre le début de la fenêtre de mesure et ledit front actif du signal de référence et une seconde impulsion opposée à la première impulsion entre ledit front actif du signal de référence et la fin de la fenêtre de mesure.

5           La fenêtre de mesure est générée de façon synchrone avec le signal synthétisé à haute fréquence, ce qui minimise le bruit de phase dans celui-ci. Le comptage de cycles du signal à haute fréquence permet de générer cette fenêtre en se dispensant d'éléments capacitifs ou résistifs qui sont souvent des sources de bruit. Cela assure aussi une meilleure robustesse vis-à-vis des  
10 variations technologiques.

          La PLL comprend typiquement une pompe de charge pour injecter un premier courant à un nœud du filtre passe-bas en réponse à la première impulsion du signal de mesure et pour injecter un second courant, opposé au premier courant et de même intensité, audit nœud du filtre passe-bas en  
15 réponse à la seconde impulsion du signal de mesure. Une telle pompe de charge peut comprendre deux générateurs de courants sensiblement identiques pour générer les premier et second courants.

          L'intensité de ces courants est de préférence réglable numériquement en fonction du facteur de division  $P$  appliqué par le diviseur de fréquence. Ceci  
20 est particulièrement avantageux dans l'application à la modulation de fréquence ou de phase, pour laquelle on souhaite souvent que le spectre de la modulation ait une forme identique lorsqu'on fait varier la fréquence porteuse sur une certaine plage de fonctionnement. Pour cela, on fera généralement croître l'intensité de la pompe de charge en fonction de  $P$ , ce qui permet  
25 d'uniformiser le gain de la PLL, lequel est proportionnel au courant de la pompe de charge et inversement proportionnel à  $P$ .

          On peut aussi conférer à l'intensité réglable de la pompe de charge une valeur plus élevée dans l'étape de recherche d'accrochage en fréquence de la boucle que dans l'étape de poursuite en phase exécutée après  
30 accrochage en fréquence. Ceci permet de réduire le temps d'accrochage de la boucle et donc le temps de commutation de porteuse dans l'application à la

modulation.

Dans un mode de réalisation préféré de l'invention, la pompe de charge comprend un pont d'interrupteurs ayant un premier trajet incluant deux interrupteurs en série respectivement commandés par deux composantes du signal de mesure portant les première et seconde impulsions, et un second trajet incluant deux autres interrupteurs en série respectivement commandés par les compléments logiques desdites composantes du signal de mesure, ledit nœud du filtre passe-bas étant situé entre les deux interrupteurs en série du premier trajet.

Avantageusement, la pompe de charge comprend en outre un amplificateur de recopie de tension ayant une entrée reliée audit nœud du filtre passe-bas et une sortie connectée à un nœud du pont d'interrupteurs situé entre les deux interrupteurs en série du second trajet et à un élément capacitif. L'amplificateur de recopie équilibre le pont d'interrupteurs pour éviter de charger et décharger des capacités parasites lorsque les première et seconde impulsions ne sont pas présentes.

Dans un mode de réalisation de l'invention, le comparateur de phase comprend:

- une logique de détection de déphasage recevant le signal à fréquence divisée et le signal de référence, et délivrant d'une part un premier signal de détection activé, après un front actif du signal de référence précédant un front actif du signal à fréquence divisée, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs, et d'autre part un second signal de détection activé, après un front actif du signal à fréquence divisée précédant un front actif du signal de référence, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs;
- un générateur de signal impulsionnel, produisant un signal impulsionnel actif pendant la fenêtre de mesure;
- des moyens pour produire un signal de séparation passant d'un premier niveau à un second niveau avec un retard fixe en réponse à un front actif



du signal de référence; et

- une logique de commande de transfert de charge combinant au moins les signaux de détection, le signal de séparation et ledit signal impulsif, et produisant deux composantes du signal de mesure, portant respectivement lesdites première et seconde impulsions, telles que, pendant que ledit signal impulsif est actif, l'une des deux composantes présente la première impulsion si le signal de séparation est au premier niveau, et l'autre des deux composantes présente la seconde impulsion si le signal de séparation est au second niveau.

10 D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après d'exemples de réalisation non limitatifs, en référence aux dessins annexés, dans lesquels :

- la figure 1 est un schéma synoptique d'une PLL selon l'invention;
- la figure 2 est un schéma d'un comparateur de phase et de fréquence (CPF) utilisable dans cette PLL;
- la figure 3 est un schéma d'un comparateur à neuf portes utilisable comme logique de détection de déphasage dans le CPF de la figure 2;
- les figures 4 à 6 sont des chronogrammes illustrant le fonctionnement du CPF; et
- la figure 7 est un schéma d'une pompe de charge utilisable dans la PLL de la figure 1.

25 En référence à la figure 1, une PLL selon l'invention comprend un VCO 30 délivrant un signal radiofréquence S, dont la fréquence  $f_{VCO}$  est par exemple de l'ordre de quelques centaines de MHz. Ce signal est adressé à un diviseur de fréquence 31 appliquant un facteur de division variable P. Une variation dans le temps de ce facteur de division P procurera une modulation souhaitée du signal de sortie S.

30 Le signal à fréquence divisée QA issu du diviseur de fréquence 31 est adressé à une entrée d'un CPF 32 qui reçoit en outre un signal de référence FREF produit à partir d'un oscillateur à cristal. La fréquence  $f_{ref}$  du signal FREF est par exemple de l'ordre de la dizaine de MHz. Pour obtenir une fréquence

$f_{vco}$  en sortie du VCO 30, on prend  $P = f_{vco}/f_{ref}$ . En modulant  $P$  autour de la valeur  $f_{vco}/f_{ref}$ , on réalise une modulation de fréquence ou de phase autour d'une porteuse à  $f_{vco}$ .

Dans l'exemple considéré, le CPF 32 a un signal de sortie constitué de deux composantes binaires INVP, INVN. Une pompe de charge 33 reçoit ces deux composantes pour établir une tension  $V2$  à un nœud d'entrée d'un filtre passe-bas 34. La tension filtrée produite par ce filtre 34 est utilisée pour commander la fréquence du VCO 30.

Comme le montre la figure 1, la PLL selon l'invention comprend un circuit 35 pour produire une réplique QB du signal à fréquence divisée QA. Cette réplique QB reproduit chaque front actif du signal QA avec un retard généré à partir du signal à haute fréquence S issu du VCO 30.

Dans l'exemple représenté sur la figure 1, le circuit 35 consiste en une ligne à retard qui génère QB en retardant QA de trois cycles du signal à haute fréquence S. Cette ligne à retard comprend trois bascules D en cascade 36 cadencées à la fréquence  $f_{vco}$  par le signal S.

L'intervalle de temps entre chaque front actif du signal QA et le front actif suivant du signal QB définit une fenêtre de mesure pour le CPF 32, dont la durée  $L$  est de trois cycles à la fréquence du VCO dans l'exemple de la figure 1 ( $L = 3/f_{vco}$ ).

A titre d'exemple, les fronts actifs des signaux QA et QB sont des fronts montants, entre le niveau logique 0 et le niveau logique 1. En référence à la figure 2, le CPF 32 comprend un générateur de signal impulsionnel 100 qui produit un signal impulsionnel PR activé pendant la fenêtre de mesure à partir des deux signaux à fréquence divisée QA, QB. Le générateur 100 comprend une porte NON ET 101 dont une entrée reçoit le signal QA et l'autre entrée reçoit le complément logique du signal QB, produit par un inverseur 102. Le signal impulsionnel PR est obtenu en sortie de la porte NON ET 101. Son impulsion pendant la fenêtre de mesure est une impulsion au niveau logique 0 comme le montrent les figures 4 à 6.

Le CPF de la figure 2 comprend un second générateur de signal impulsionnel 110 recevant le signal de référence FREF, dont les fronts actifs sont des fronts descendants dans l'exemple considéré. Le signal impulsionnel PV produit par ce générateur 110 présente une courte impulsion de niveau  
5 logique 0 après chaque front actif du signal de référence FREF (voir figures 4 à 6). Le générateur 110 comprend quatre inverseurs 111-114 montés en série, le premier 111 recevant le signal FREF. Les sorties des inverseurs 111 et 114 sont connectées aux deux entrées d'une porte NON ET 115 dont la sortie fournit le signal impulsionnel PV.

10 Pour détecter le déphasage entre les signaux QA et FREF, le CPF 32 comporte une logique 10 ayant un premier signal d'entrée V prélevé à la sortie de l'inverseur 112 et un second signal d'entrée R correspondant au complément logique du signal QA, produit par un inverseur 118.

La figure 3 illustre un exemple de logique de détection de déphasage  
15 10, appelée comparateur à neuf portes, utilisable dans le CPF 32. Les signaux d'entrée R et V sont appliqués chacun à une entrée d'une porte NON ET respective 2, 12 à deux entrées. La sortie de la porte 12 est reliée à une entrée d'une porte NON ET 14 à deux entrées, à une entrée d'une porte NON ET 16 à trois entrées, et à une autre entrée de la porte 20. La sortie de la porte 16  
20 fournit un premier signal de détection D et est reliée à l'autre entrée de la porte 12. La sortie de la porte 14 est reliée à une autre entrée de la porte 16, à une autre entrée de la porte 20, et à une entrée d'une porte NON ET 18 à deux entrées. La sortie de la porte 20 est également reliée à la dernière entrée de la porte 16 et à l'autre entrée de la porte 18. La sortie de la porte 18 est reliée à  
25 l'autre entrée de la porte 14. La sortie de la porte 2 est reliée à une entrée d'une porte NON ET 4 à deux entrées, à une entrée d'une porte NON ET 6 à trois entrées, et à une entrée d'une porte NON ET 20 à quatre entrées. La sortie de la porte 6 fournit un second signal de détection U et est reliée à l'autre entrée de la porte 2. La sortie de la porte 4 est reliée à une autre entrée de la  
30 porte 6, à la dernière entrée de la porte 20, et à une entrée d'une porte NON ET 8 à deux entrées. La dernière entrée de la porte 6, ainsi que l'autre entrée de la porte 8 sont reliées à la sortie de la porte 20. L'autre entrée de la porte 4

est reliée à la sortie de la porte 8.

Le CPF représenté sur la figure 2 comporte encore une logique de commande de transfert de charge 120 qui reçoit les deux signaux de détection D, U, les deux signaux impulsionnels PR, PV ainsi qu'un signal de séparation W qui est une réplique du signal de référence FREF, obtenue en sortie de l'inverseur 114.

Les opérations effectuées par la logique 120 sont les suivantes :

$$INVN = (\overline{U} \text{ ET } PR) \text{ OU } [W \text{ ET } (\overline{PR} \text{ OU } \overline{PV})]$$

$$INVP = (PR \text{ ET } PV \text{ ET } \overline{D}) \text{ OU } [\overline{W} \text{ ET } (\overline{PR} \text{ OU } \overline{PV})]$$

où  $\overline{X}$  désigne le complément logique d'un signal X.

La logique de commande de transfert de charge 120 comporte une porte ET 121 ayant deux entrées auxquelles sont respectivement adressés les signaux impulsionnels PR et PV. Deux portes OU 122, 123 ont chacune une entrée connectée à la sortie de la porte ET 121. Le signal de séparation W est adressé à l'autre entrée de la porte OU 122. Le complément logique  $\overline{W}$  de ce signal de séparation, produit par un inverseur 124, est adressé à l'autre entrée de la porte OU 123. Une porte NI 125 a une entrée recevant le signal QB et une autre entrée reliée à la sortie de l'inverseur 118 pour recevoir le complément logique du signal QA. Cette porte NI 125 produit le complément  $\overline{PR}$  du signal impulsionnel PR, qui est adressé à une entrée d'une porte OU 126. Le signal de détection U est adressé à l'autre entrée de cette porte OU 126. La composante INVN du signal de mesure est obtenue en sortie d'une porte NON ET 127 dont les deux entrées sont respectivement connectées aux sorties des portes OU 123 et 126. La logique de commande 120 comporte en outre une porte NON ET 128 ayant trois entrées recevant respectivement les signaux impulsionnels PR et PV et le complément logique du signal de détection D obtenu en sortie d'un inverseur 129. La composante INVP du signal de mesure est obtenue en sortie d'une autre porte NON ET 130 dont les deux entrées sont respectivement connectées à la sortie de la porte OU 122 et

à la sortie de la porte NON ET 128.

Le fonctionnement du CPF 32 est illustré par les chronogrammes des figures 4 à 6. Les figures 4 et 6 correspondent à des situations où la PLL n'est pas encore accrochée en fréquence, le front actif du signal de référence FREF tombant à l'extérieur de la fenêtre de mesure définie entre les fronts actifs consécutifs des signaux QA et QB.

Dans le cas de la figure 4, le signal à fréquence divisée QA est en retard par rapport au signal de référence FREF, ce qui donne lieu à une impulsion de niveau logique 0 dans le signal de détection D. Le début de cette impulsion de D active la composante INVP du signal de sortie. Les temps de réponse des portes logiques du CPF sont tels que la fin de l'impulsion de D tombe pendant l'impulsion de PR, c'est-à-dire pendant la fenêtre de mesure. En conséquence, la composante INVP du signal de sortie reste activée jusqu'à ce qu'elle soit désactivée par la fin de l'impulsion de PR consécutive au front montant du signal QB. Dans cette plage de fonctionnement (QA en retard par rapport à FREF), la durée d'activation de la composante INVP à chaque cycle de fréquence  $f_{ref}$  croît linéairement avec le retard des signaux à fréquence divisée par rapport à FREF, avec une pente égale à 1.

Dans le cas de la figure 6, le signal retardé à fréquence divisée QB est en avance par rapport au signal de référence FREF. Le front montant de QA déclenche une impulsion de niveau logique 0 dans le signal de détection U. Les temps de réponse des portes logiques du CPF sont tels que le début de l'impulsion du signal de détection U tombe pendant l'impulsion de PR, c'est-à-dire pendant la fenêtre de mesure. Le début de l'impulsion de PR active la composante INVN du signal de sortie. Cette composante INVN reste activée jusqu'à ce qu'elle soit désactivée par la fin de l'impulsion de U consécutive au front descendant du signal FREF. Dans cette plage de fonctionnement (QB en avance par rapport à FREF), la durée d'activation de la composante INVN à chaque cycle de fréquence  $f_{ref}$  croît linéairement avec le retard (négatif) des signaux à fréquence divisée par rapport à FREF, avec une pente égale à -1.

Dans le cas de la figure 5, le front actif du signal de référence FREF

tombe pendant la fenêtre de mesure, entre les fronts actifs des deux signal à fréquence divisée QA, QB. Comme dans le cas de la figure 6, le début de l'impulsion de PR active la composante INVN du signal de sortie. Cette activation de INVN dure jusqu'à ce que la logique 120 réponde au front descendant du signal de séparation W consécutif à celui du signal FREF. A ce moment, la logique 120 déclenche un front actif de l'autre composante INVP du signal de sortie. Cette activation de INVP dure jusqu'à ce qu'elle soit désactivée par la fin de l'impulsion de PR consécutive au front montant du signal QB, comme dans le cas de la figure 4.

La différence entre les durées d'activation respectives des composantes INVP et INVN du signal de sortie du CPF 32 est une fonction croissante, sensiblement linéaire par morceaux, du décalage temporel entre le signal à fréquence divisée QA et le signal de référence FREF. La pente de cette fonction est égale à 2 dans la plage où le front actif du signal de référence FREF tombe pendant la fenêtre de mesure, et à 1 en dehors de cette plage (PLL non accrochée en fréquence). Les temps de réponse précités des portes logiques du CPF sont tels que le CPF ne présente pas de zone morte. Il est à noter que cette propriété est obtenue sans recourir à des éléments résistifs ou capacitifs dans le CPF.

Le rôle de la pompe de charge 33 est de générer un courant positif quand INVP est active, et un courant négatif quand INVN est active. La charge totale générée sera ainsi une fonction croissante, sensiblement linéaire par morceaux, du décalage temporel entre le signal à fréquence divisée QA et le signal de référence FREF. Accumulée dans un condensateur, cette charge se traduit par une tension utilisable pour commander le VCO 30 afin de forcer l'alignement de phase entre QA et FREF. En pratique, un filtre passe-bas 34 intervient entre la pompe de charge 33 et le VCO 30 pour éliminer des fluctuations à haute fréquence dues notamment aux commutations des composantes INVP et INVN.

Un mode de réalisation préféré de la pompe de charge 33 est illustré par la figure 7. Deux générateurs identiques 50, 60, délivrant un courant d'intensité  $I_p$ , sont connectés de part et d'autre d'un pont d'interrupteurs 51-54,

le générateur de courant positif 50 étant par ailleurs connecté à la borne positive d'une alimentation en tension, et le générateur de courant négatif 50 étant par ailleurs connecté à la borne de masse de l'alimentation en tension. Les générateurs de courant 50, 60 ont de préférence une structure cascodée  
5 afin de minimiser les effets de mémoire et les pics de courants qui nuiraient à la linéarité requise pour l'application à la modulation.

Les interrupteurs 51 et 52 sont respectivement commandés par les composantes INVP et INVN du signal de sortie du CPF 32, de manière à être fermés quand INVP et INVN sont au niveau logique 1. Ils sont connectés en  
10 série entre les deux générateurs de courant 50, 60 suivant un premier trajet du pont. Le nœud 55 situé entre ces deux interrupteurs 51, 52, dont la tension est notée V2, constitue un nœud d'entrée du filtre passe-bas 34. Les interrupteurs 53 et 54 sont respectivement commandés par les composantes INVP et INVN du signal de sortie du CPF 32, de manière à être ouverts quand INVP et INVN  
15 sont au niveau logique 1. Ils sont connectés en série entre les deux générateurs de courant 50, 60 suivant un second trajet du pont. Le nœud 56 situé entre ces deux interrupteurs 53, 54, dont la tension est notée V1, est relié à la masse par l'intermédiaire d'un condensateur de lissage 57 dont la capacité est typiquement de l'ordre de 500 pF.

20 Les parties inférieures des figures 4 à 6 montrent l'évolution de la tension V2 en fonction des impulsions que présentent les composantes INVP, INVN du signal de sortie du CPF 32.

De préférence, le courant délivré par les générateurs 50, 60 a une intensité  $I_p$  réglable numériquement. Dans l'exemple illustré par la figure 7, leur  
25 commande est sur six bits  $a_1, a_2, a_4, a_8, a_{16}, a_{32}$ . Un contrôleur, non représenté, de la PLL pilote ces six bits en fonction notamment:

- de la valeur de la fréquence porteuse à moduler à l'intérieur de la plage de fonctionnement de la PLL, c'est-à-dire du facteur de division P appliqué par le diviseur de fréquence. Le gain de la PLL est proportionnel  
30 au gain du VCO 30, au gain du CPF 32 et à l'intensité  $I_p$  de la pompe de charge 33, et inversement proportionnel à P. Comme P croît

proportionnellement à la fréquence porteuse, le contrôleur fait varier  $I_p$  dans le même sens afin d'assurer que la forme spectrale du signal modulé soit uniforme lorsque la porteuse varie;

- de l'état accroché ou non-accroché en fréquence de la PLL. Il est  
5       avantageux de prendre  $I_p$  plus élevée avant l'accrochage en fréquence  
afin d'accélérer cet accrochage. Ceci permet notamment de minimiser le  
temps de commutation du modulateur entre deux fréquences porteuses.  
Le contrôleur peut déterminer simplement que la PLL est accrochée en  
fréquence par le fait que le front actif du signal de référence FREF tombe  
10       plusieurs fois de suite à l'intérieur de la fenêtre de mesure.

Un amplificateur opérationnel rapide 58, monté en amplificateur suiveur  
est connecté entre les nœuds 55, 56 de la pompe de charge 33 afin d'aligner la  
valeur de la tension V1 sur celle de la tension V2. L'entrée négative et la sortie  
de cet amplificateur 58 sont connectées au nœud 56, tandis que son entrée  
15       positive est connectée au nœud 55.

Cet amplificateur de recopie 58 facilite le retour à l'équilibre du pont  
d'interrupteurs associé au condensateur 57, ce qui est particulièrement utile  
lorsque la fréquence de comparaison  $f_{ref}$  est relativement élevée.  
L'amplificateur de recopie 58 présente avantageusement une réponse  
20       transitoire avec l'amortissement critique de Butterworth. Il permet d'annuler la  
différence de tension entre les nœuds 55 et 56 de façon à réduire de façon  
significative les pics de courant au moment des commutations du pont 51-54.

On notera que de nombreuses variantes peuvent être appliquées au  
mode de réalisation de l'invention décrit précédemment, notamment quant à la  
25       structure logique du comparateur de phase ou à la manière de produire les  
deux versions décalées QA, QB du signal à fréquence divisée. Le nombre de  
cycles de la fréquence  $f_{vco}$  servant à définir la durée de la fenêtre de mesure  
n'est pas nécessairement un nombre constant d'un cycle de comparaison au  
suivant. Le signal décalé QB peut être généré conjointement avec QA par le  
30       diviseur de fréquence 31.



## REVENDICATIONS

1. Boucle à asservissement de phase, comprenant un oscillateur commandé (30) pour délivrer un signal à haute fréquence (S), un diviseur de fréquence (31) pour convertir le signal à haute fréquence en un signal à fréquence divisée (QA), un comparateur de phase (32) pour recevoir le signal à fréquence divisée et un signal de référence (FREF) et produire un signal (INV<sub>P</sub>, INV<sub>N</sub>) de mesure d'un écart de phase entre le signal à fréquence divisée et le signal de référence, et un filtre passe-bas (34) pour commander l'oscillateur à partir du signal de mesure,
- 10 caractérisée en ce qu'elle comprend en outre des moyens (35) pour générer une fenêtre de mesure, de durée (L) définie par comptage de cycles du signal à haute fréquence, en réponse à chaque front actif du signal à fréquence divisée,
- 15 et en ce que le comparateur de phase est construit pour activer le signal de mesure pendant la fenêtre de mesure en réponse à chaque front actif du signal à fréquence divisée, de façon que le signal de mesure comprenne, lorsqu'un front actif du signal de référence tombe à l'intérieur de la fenêtre de mesure, une première impulsion entre le début de la fenêtre de mesure et ledit front actif du signal de référence et une seconde impulsion opposée à la
- 20 première impulsion entre ledit front actif du signal de référence et la fin de la fenêtre de mesure.
2. Boucle à asservissement de phase selon la revendication 1, dans laquelle les moyens pour générer la fenêtre de mesure comprennent des moyens (35) de production d'une réplique (QB) du signal à fréquence divisée (QA), reproduisant chaque front actif du signal à fréquence divisée avec un
- 25 retard généré à partir du signal à haute fréquence (S).

3. Boucle à asservissement de phase selon la revendication 1 ou 2, dans laquelle la durée (L) de la fenêtre de mesure est un nombre entier de cycles du signal à haute fréquence (S).
4. Boucle à asservissement de phase selon l'une quelconque des revendications précédentes, comprenant une pompe de charge (33) pour injecter un premier courant à un nœud (55) du filtre passe-bas (34) en réponse à la première impulsion (INVN) du signal de mesure et pour injecter un second courant, opposé au premier courant et de même intensité ( $I_p$ ), audit nœud du filtre passe-bas en réponse à la seconde impulsion (INVN) du signal de mesure.
5. Boucle à asservissement de phase selon la revendication 4, dans laquelle la pompe de charge (33) comprend deux générateurs de courant sensiblement identiques (50, 60) pour générer les premier et second courants.
6. Boucle à asservissement de phase selon la revendication 5, dans laquelle les deux générateurs de courant (50, 60) produisent une intensité de courant ( $I_p$ ) réglable numériquement.
7. Boucle à asservissement de phase selon la revendication 6, comprenant des moyens pour faire varier ladite intensité réglable ( $I_p$ ) en fonction d'un facteur de division (P) appliqué par le diviseur de fréquence (31).
8. Boucle à asservissement de phase selon la revendication 6 ou 7, comprenant des moyens pour conférer à ladite intensité réglable ( $I_p$ ) une valeur plus élevée dans une étape de recherche d'accrochage en fréquence de la boucle que dans une étape de poursuite en phase exécutée après accrochage en fréquence.
9. Boucle à asservissement de phase selon l'une quelconque des revendications 5 à 8, dans laquelle la pompe de charge (33) comprend un pont d'interrupteurs ayant un premier trajet incluant deux interrupteurs en série (51,

52) respectivement commandés par deux composantes (INV<sub>P</sub>, INV<sub>N</sub>) du signal de mesure portant les première et seconde impulsions, et un second trajet incluant deux autres interrupteurs en série (53, 54) respectivement commandés par les compléments logiques desdites composantes du signal de mesure, ledit  
5 nœud (55) du filtre passe-bas (34) étant situé entre les deux interrupteurs en série du premier trajet.

10. Boucle à asservissement de phase selon la revendication 9, dans laquelle la pompe de charge (33) comprend en outre un amplificateur de recopie (58) ayant une entrée reliée audit nœud (55) du filtre passe-bas (34) et  
10 une sortie connectée à un nœud (56) du pont d'interrupteurs situé entre les deux interrupteurs en série (53, 54) du second trajet et à un élément capacitif (57).

11. Boucle à asservissement de phase selon l'une quelconque des revendications précédentes, dans laquelle le comparateur de phase (32)  
15 comprend:

- une logique de détection de déphasage (10) recevant le signal à fréquence divisée (QA) et le signal de référence (FREF), et délivrant d'une part un premier signal de détection (D) activé, après un front actif du signal de référence précédant un front actif du signal à fréquence  
20 divisée, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs, et d'autre part un second signal de détection (U) activé, après un front actif du signal à fréquence divisée précédant un front actif du signal de référence, pendant une durée correspondant à l'intervalle de temps entre lesdits fronts actifs;
- 25 - un générateur de signal impulsionnel (100), produisant un signal impulsionnel (PR) actif pendant la fenêtre de mesure;
- des moyens (111-114) pour produire un signal de séparation (W) passant d'un premier niveau à un second niveau avec un retard fixe en réponse à un front actif du signal de référence; et
- 30 - une logique de commande de transfert de charge (120) combinant au moins les signaux de détection, le signal de séparation et ledit signal

5      impulsional, et produisant deux composantes (INVN, INVP) du signal de mesure, portant respectivement lesdites première et seconde impulsions, telles que, pendant que ledit signal impulsional (PR) est actif, l'une des deux composantes (INVN) présente la première impulsion si le signal de séparation (W) est au premier niveau, et l'autre des deux composantes (INVP) présente la seconde impulsion si le signal de séparation (W) est au second niveau.

FIG. 2.

The diagram illustrates a phase detection logic circuit (10) and its associated logic blocks. The central block (10) is labeled "LOGIQUE DE DETECTION DE DÉPHASAGE" and has four inputs: V, U, R, and D. It has two outputs: W and PV. The circuit is divided into three main sections:

- Top Section (110):** A chain of four inverters (111, 112, 113, 114) connected in series. The output of the first inverter (111) is connected to the input of the second (112), and so on. The output of the fourth inverter (114) is connected to the input of a fifth inverter (115). The output of inverter 115 is connected to the PV input of the central block (10).
- Bottom Section (100):** A logic block containing two inputs, QA and QB. QA is connected to the input of an AND gate (101). QB is connected to the input of an inverter (102). The output of inverter 102 is connected to the input of AND gate 101. The output of AND gate 101 is connected to the PR input of the central block (10).
- Right Section (120):** A logic block containing several gates and inverters. It includes:
  - An AND gate (121) with inputs from W and PV. Its output is connected to the input of an OR gate (123).
  - An inverter (124) with input from W. Its output is connected to the input of an OR gate (126).
  - An AND gate (125) with inputs from W and PR. Its output is connected to the input of an OR gate (122).
  - An AND gate (128) with inputs from PR and PV. Its output is connected to the input of an OR gate (122).
  - An OR gate (126) with inputs from the output of inverter 124 and the output of AND gate 121. Its output is connected to the input of an AND gate (127).
  - An AND gate (127) with inputs from the output of OR gate 126 and the output of AND gate 128. Its output is connected to the INVN input of the central block (10).
  - An OR gate (122) with inputs from the output of AND gate 125 and the output of AND gate 128. Its output is connected to the INVVP input of the central block (10).

The central block (10) is also connected to a feedback loop (118) that feeds back into the input of the first inverter (111). The output of the central block (10) is connected to the input of the first inverter (111).

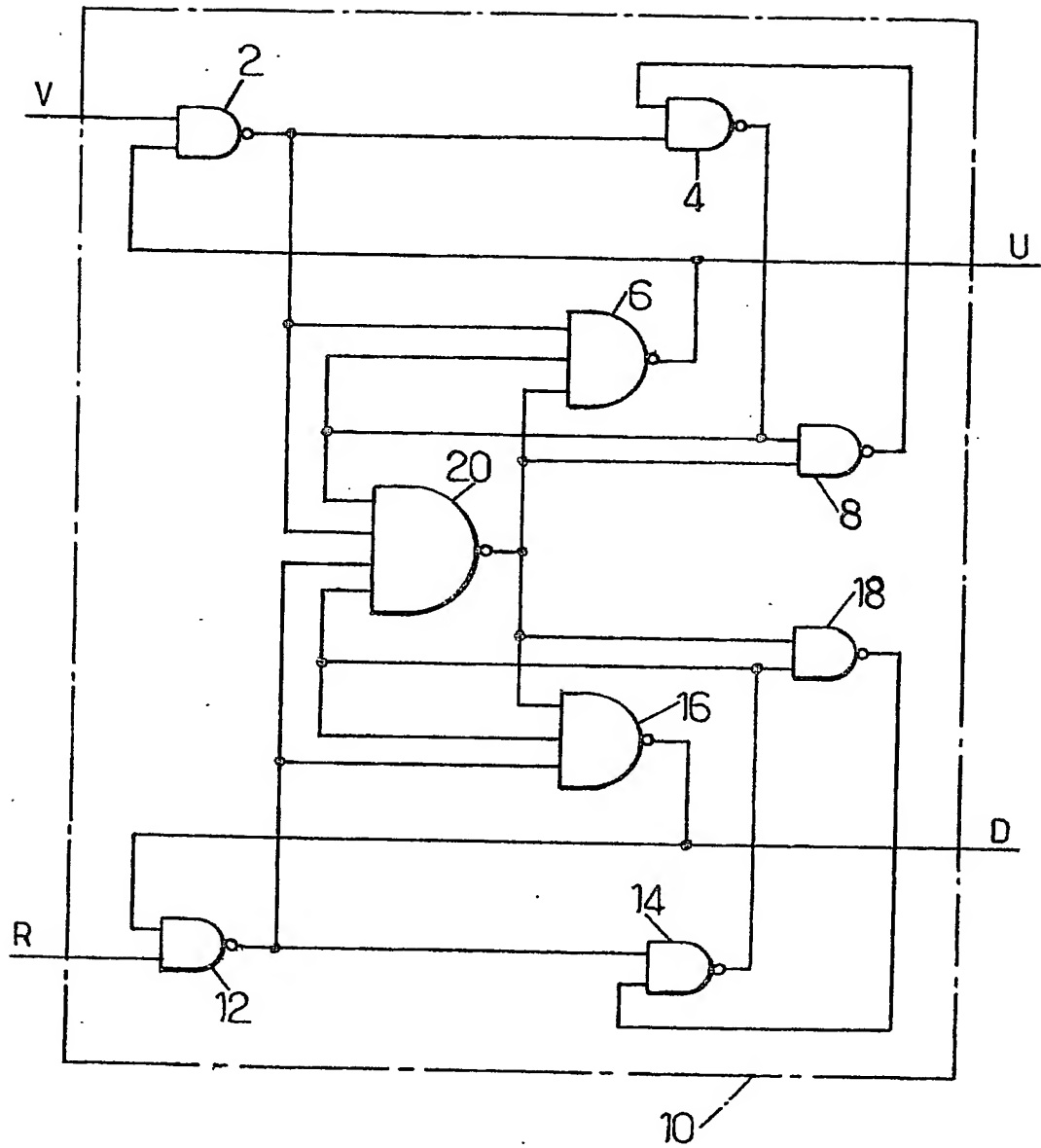


FIG.3.

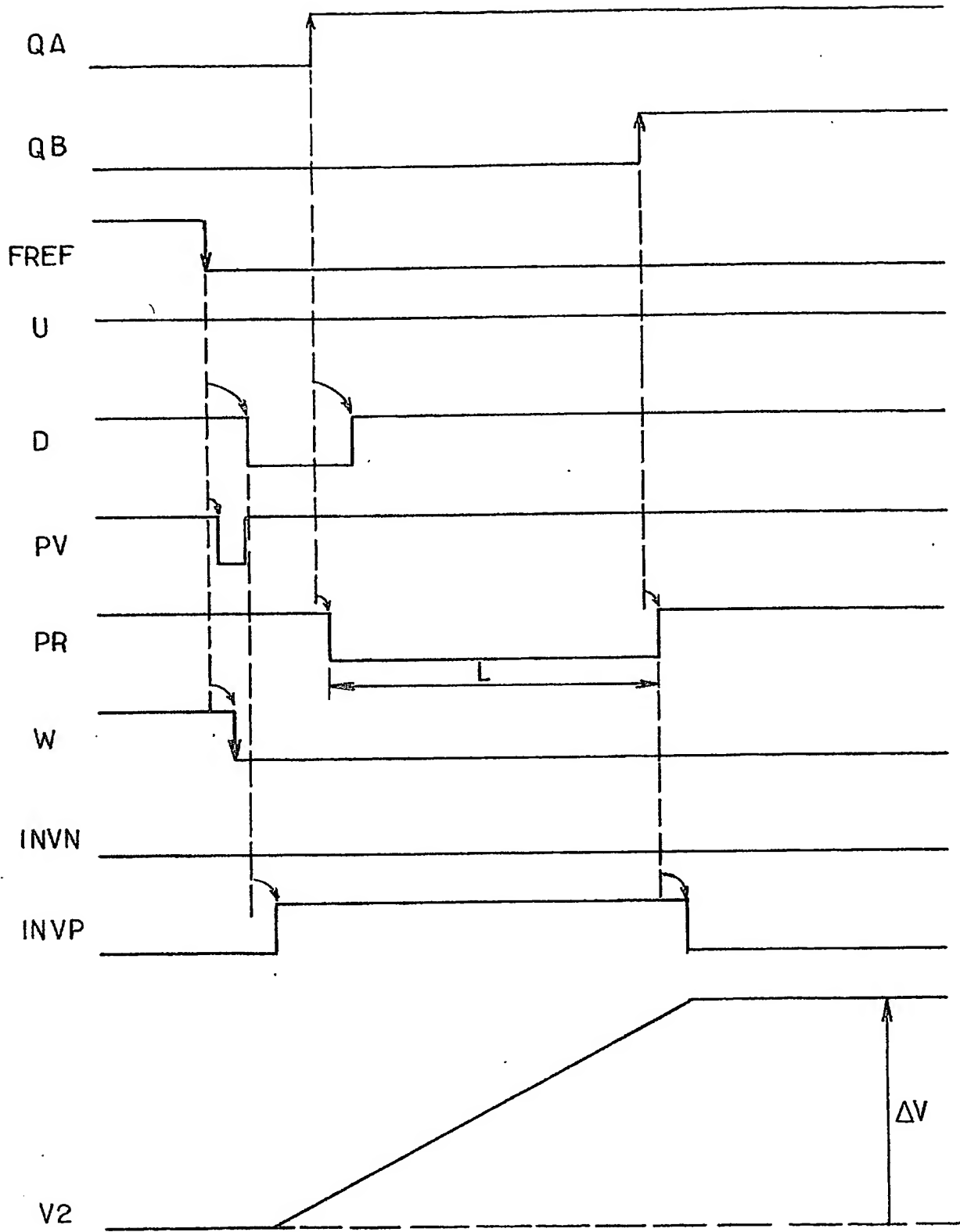


FIG.4.

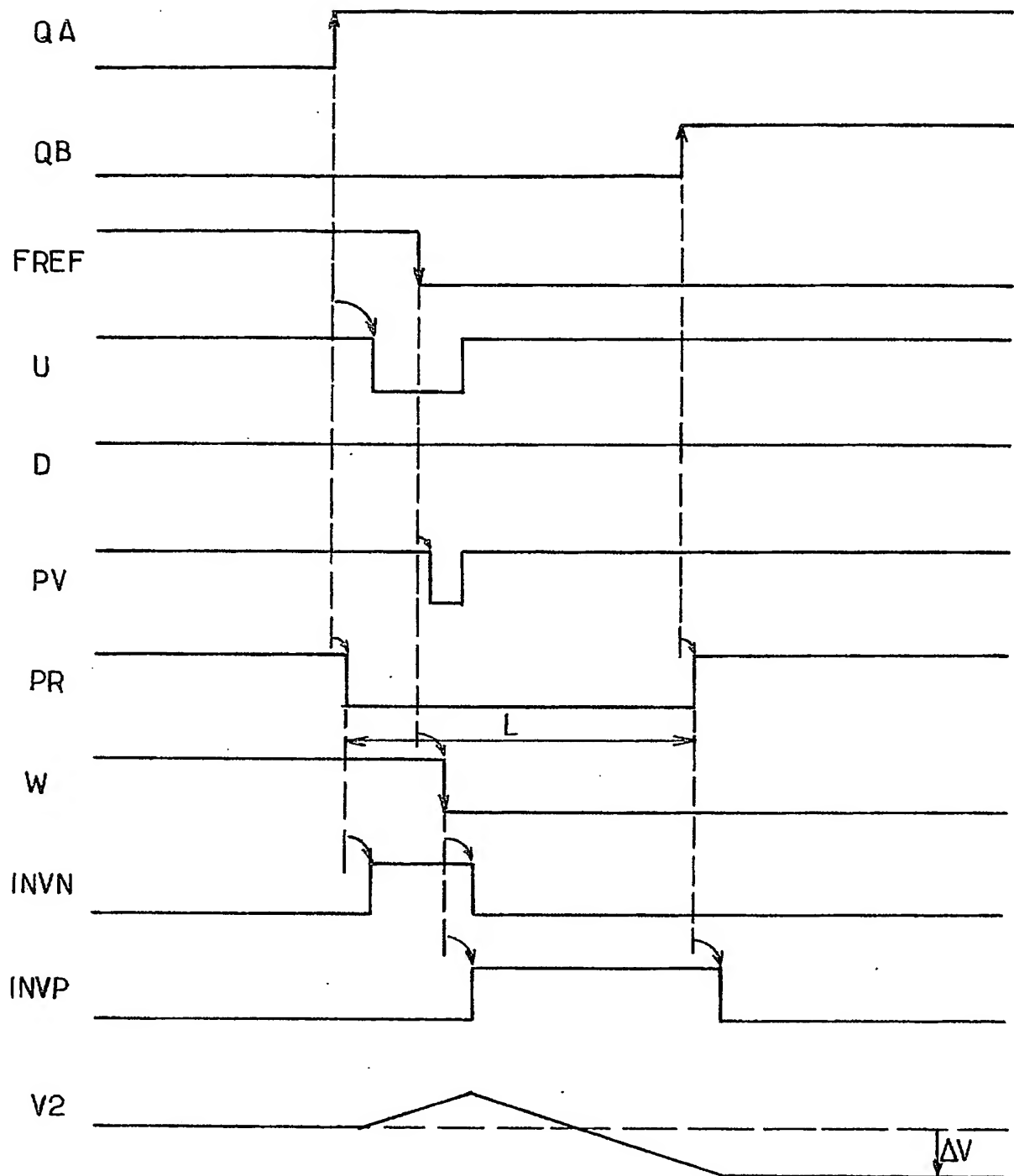


FIG.5.



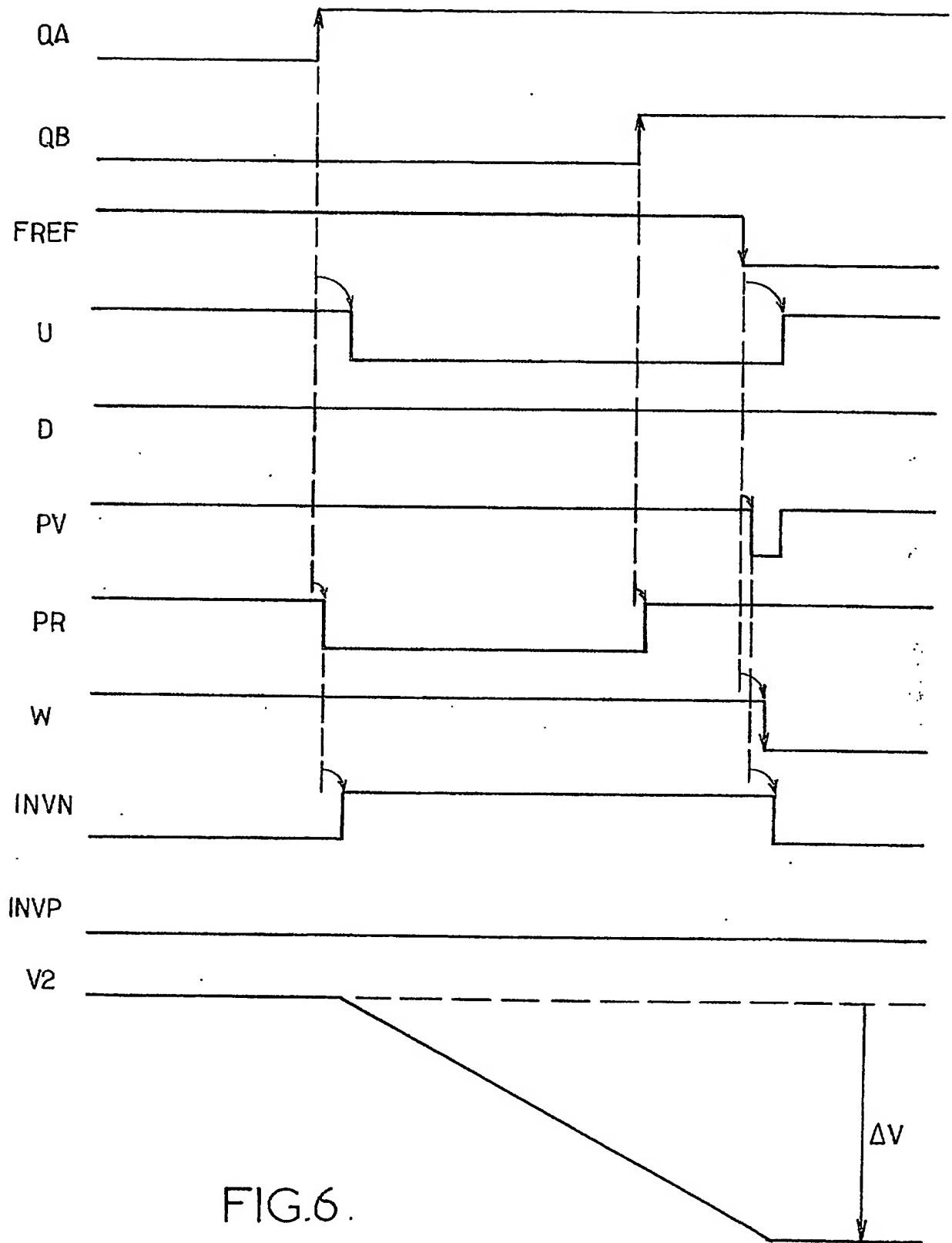
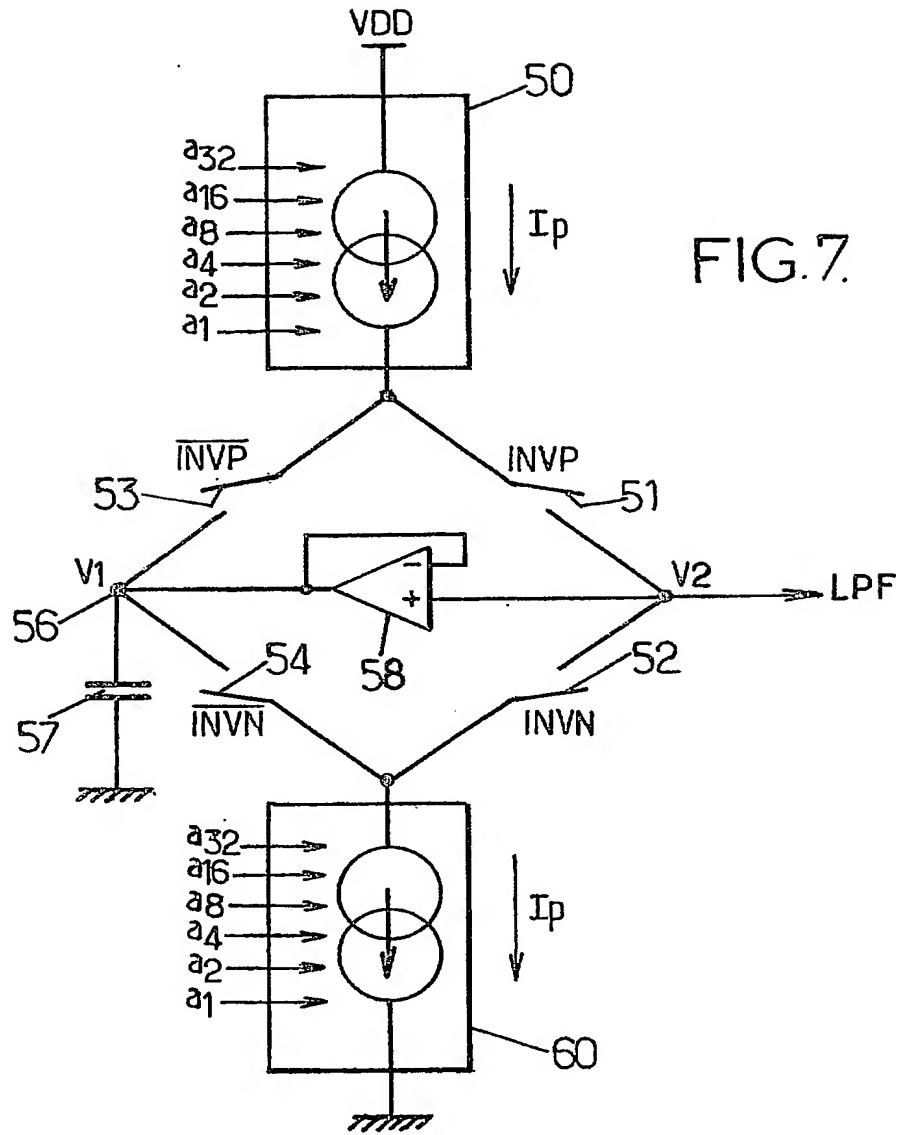


FIG.6.



**PCT/EP2004/014844**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**